Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

**Лабораторна робота №5**

з дисципліни «Комп’ютерна схемотехніка»

**Тема: «КОМБІНАЦІЙНІ ПРИСТРОЇ. ТИПОВІ ВУЗЛИ КОМП’ЮТЕРА»**

Виконав:

 студент групи ІО-31

Мукосій Б.Ю.

Перевірив:

Нікольський С.С.

Київ 2025 р.

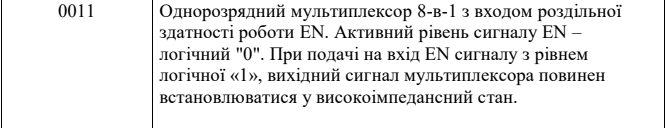
**Самостійна робота**

Варіант:

312210 - 110000110010₂, звідси :

| 1 | 0 | 1 | 1 | 0 | 0 |
| --- | --- | --- | --- | --- | --- |
| h6 | h5 | h4 | h3 | h2 | h1 |

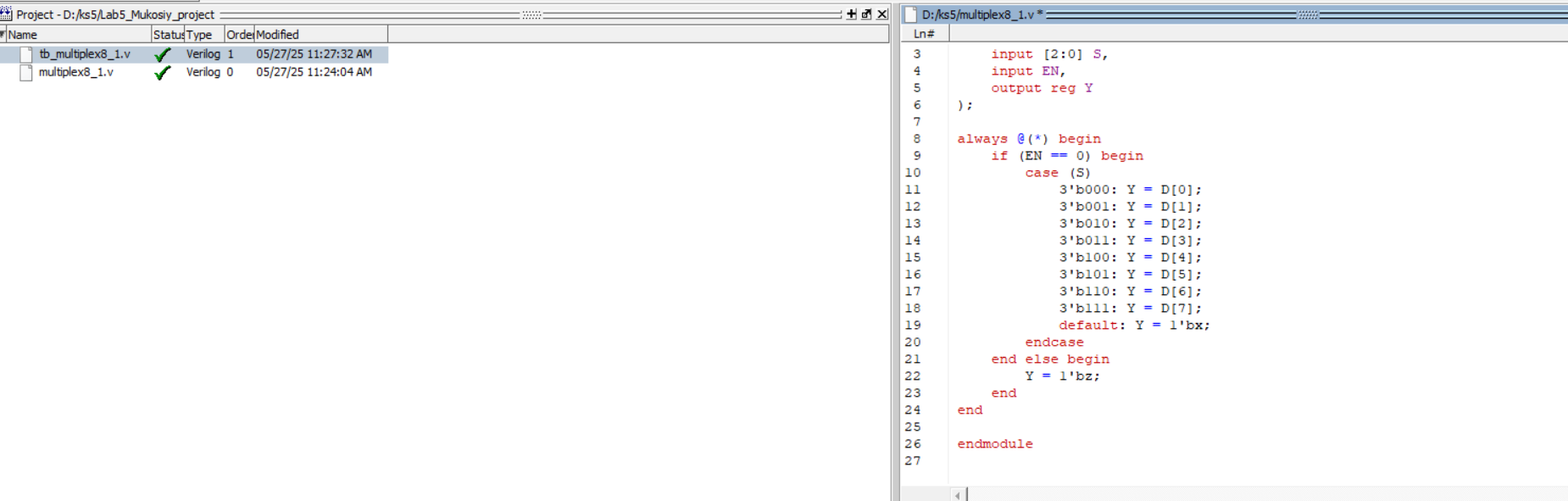
**h2 h1 h4 h3** = 0011

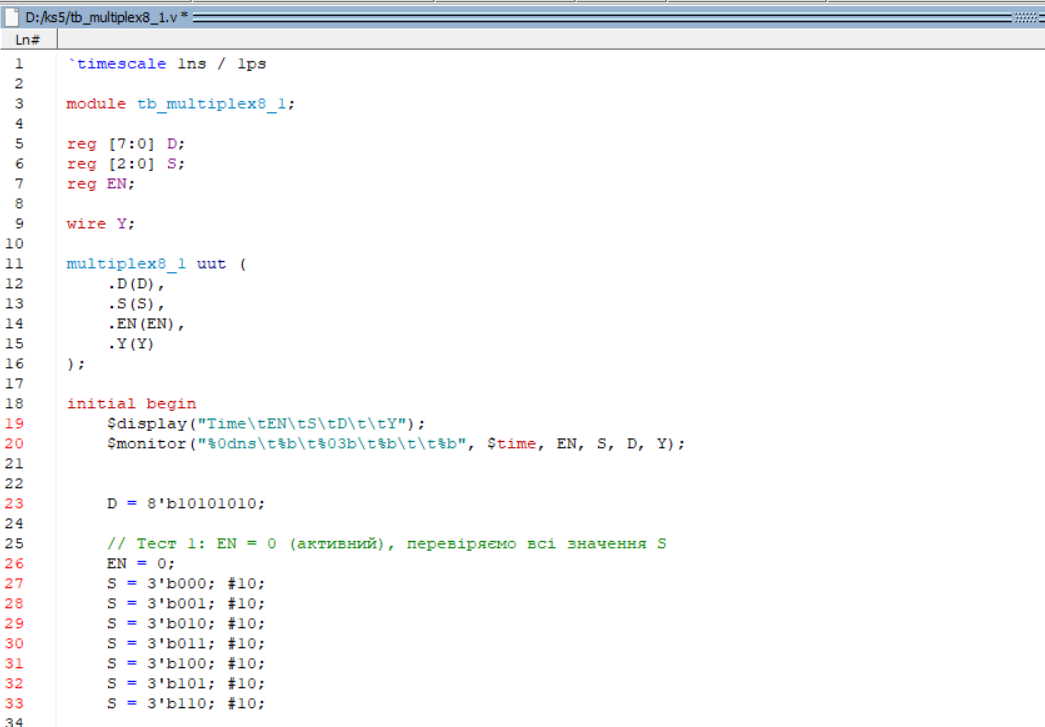


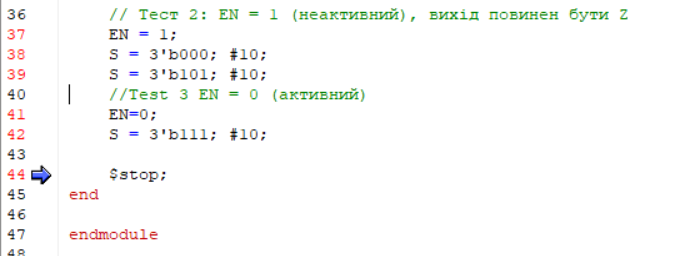
**Мультиплексор (MUX)** — це цифровий логічний пристрій, який **вибирає один із кількох вхідних сигналів** і **передає його на один вихід**.

*Створюємо новий проект, створюємо файли на мові Verilog та створюємо код*

*шифратора :*







У коді представлено восьмиканальний мультиплексор з:

- вхідною шиною D[7:0], яка містить 8 бітів(я для прикладу взяв 10101010).

- 3 бітна лінія вибору S[2:0], яка визначає який біт D буде передано на вихід.

- вхідним сигналом дозволу EN (активний рівень це логічний нуль).  
- виходом Y, на якому формується значення обраного біта.

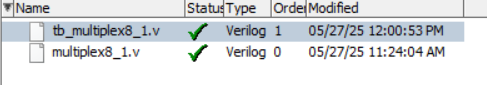
Реалізація виконується через оператор always @ (\*) конструкцію, if та case(S), де Виконується перевірка EN == 0, якщо це твердження істинне, то на виході Y з’являється значення одного із бітів D відповідно до значення S (із case).

- Наприклад, якщо EN = 0, S = 000 то на виході буде Y = 0,

- Якщо EN = 1, довільне 3 розрядне S то Y = Z (тобто вихід закритий і не приймає значень тому що мультиплексор в високоімпедансному стані)

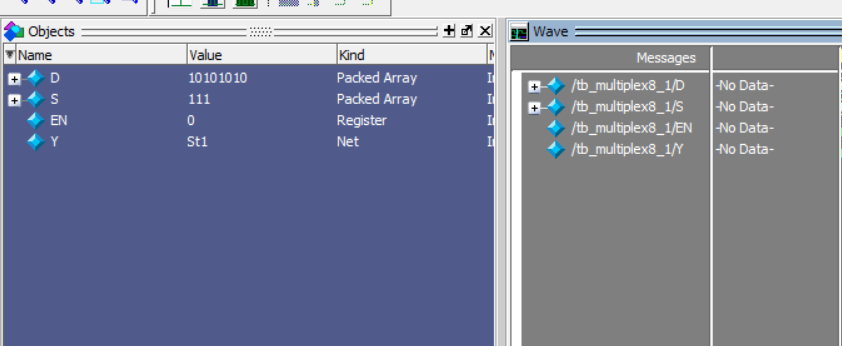
Також передбачено обробку помилкового стану через default, де вихід Y набуває невизначеного значення 'x', якщо вхід S не відповідає жодному допустимому значенню.У тестовому модулі (tb\_multiplex8\_1.v) здійснюється послідовна активація всіх допустимих сигналів S з затримкою в 10 наносекунд для перевірки правильності формування коду на виході. Також виконується перевірка працездатності при перемиканні ЕN.

*Тепер компілюємо проект:*

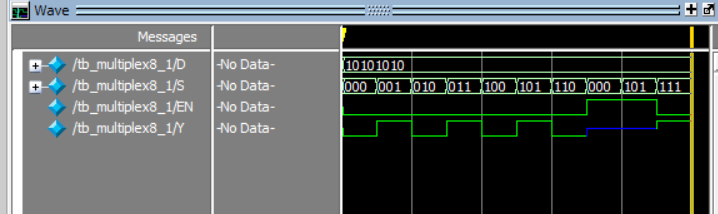


Компіляція пройшла успішно і статус файлів змінився.

Тепер переходимо у режим моделювання і додаємо вхідні та вихідні сигнали в діаграму і подаємо їх із тестбенча:



Тепер запускаємо симуляцію і отримуємо отаку часову діаграму:



Бачимо, що Y приймає значення D[S], потім я перевів мультиплексор в високоімпедансний стан і як бачимо, вихід тепер замкнутий і нових значень не приймає, потім я знову перемкнув EN в активний стан і вихід мультиплексора і як видно на діаграмі вихід Y знову приймає значення.

D = 10101010

| S | D[S] |
| --- | --- |
| 000 | 0 |
| 001 | 1 |
| 010 | 0 |
| 011 | 1 |
| 100 | 0 |
| 101 | 1 |
| 110 | 0 |
| 111 | 1 |

**Висновок:**

У ході виконання роботи було розроблено та змодельовано однорозрядний мультиплексор 8-в-1 з входом роздільної здатності роботи EN, який за допомогою шини S обирає біт із 8 розрядної шини D і передає його на вихід.  
Проведено симуляцію роботи пристрою у середовищі ModelSim, побудовано часові діаграми сигналів..

Приведена таблиця де відображено взяте для прикладу значення D, і відповідність бітів D до значень S, як бачимо на часовій діаграмі дані збігаються і робота EN, є успішною.  
Отже, поставлене завдання виконано успішно, схема шифратора працює коректно.

**Посилання на git\_hub :**

https://github.com/pudgekaba4ok/KS\_LABS/tree/main/ks5